

Docket No.: 60188-646

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kazuhisa NAKATA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 08, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

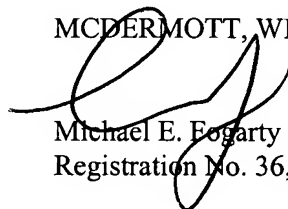
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claims the priority of:

Japanese Patent Application No. 2002-338130, filed November 21, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: September 8, 2003

60188-646
NAKATA et al.
September 8, 2003
日 本 国 特 許 庁

JAPAN PATENT OFFICE *McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年11月21日

出 願 番 号

Application Number:

特願2002-338130

[ST.10/C]:

[JP2002-338130]

出 願 人

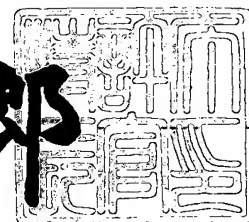
Applicant(s):

松下電器産業株式会社

2003年 6月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3047162

【書類名】 特許願

【整理番号】 2926430354

【提出日】 平成14年11月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/118

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中田 和久

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大谷 一弘

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 佐原 康之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 関戸 眞策

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 1つのPチャネル型M I S F E Tのゲートのみが配置された第1の不連続型活性領域と、

3つ以上のPチャネル型M I S F E Tのゲートが配置された第1の連続型活性領域と、

上記第1の不連続型活性領域及び第1の連続型活性領域を囲むトレンチ分離とを備えた半導体装置において、

第1のPチャネル型M I S F E Tのゲートを上記第1の連続型活性領域に配置する一方、上記第1のPチャネル型M I S F E Tよりも高い電流能力が必要な第2のPチャネル型M I S F E Tのゲートを上記第1の不連続型活性領域に配置するように設計されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、

上記トレンチ分離によって囲まれ、2つのPチャネル型M I S F E Tのゲートが配置される2入力型活性領域をさらに備え、

上記第2のPチャネル型M I S F E Tのゲートを上記2入力型活性領域に配置するように設計されていることを特徴とする半導体装置。

【請求項 3】 請求項 2 記載の半導体装置において、

上記2つの第2のPチャネル型M I S F E Tの2つのゲートの間には、分離用ダミーゲートが配置されていることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、

上記第1の不連続型活性領域における活性領域のゲート長方向の幅は、ゲート長の5倍以上で8.5倍以下の値に設計されていることを特徴とする半導体装置。

【請求項 5】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、

上記第1の不連続型活性領域における活性領域のゲート長方向の幅は、0.6

μm 以上で $1.0\mu\text{m}$ 以下の値に設計されていることを特徴とする半導体装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体装置において、

上記トレンチ分離に囲まれ、1つのNチャネル型MISFETのゲートのみが配置された第2の不連続型活性領域と、

上記トレンチ分離に囲まれ3つ以上のNチャネル型MISFETのゲートが配置された第2の連続型活性領域とをさらに備え、

第1のNチャネル型MISFETのゲートを上記第2の連続型活性領域に配置する一方、上記第1のNチャネル型MISFETよりも高い電流能力が必要な第2のNチャネル型MISFETのゲートを上記第2の連続型活性領域に配置するように設計されていることを特徴とする半導体装置。

【請求項7】 1つのNチャネル型MISFETのゲートのみが配置された不連続型活性領域と、

3つ以上のNチャネル型MISFETのゲートが配置された連続型活性領域と、

上記不連続型活性領域及び連続型活性領域を囲むトレンチ分離とを備えた半導体装置において、

第1のNチャネル型MISFETのゲートを上記連続型活性領域に配置する一方、上記第1のNチャネル型MISFETよりも高い電流能力が必要な第2のNチャネル型MISFETのゲートを上記連続型活性領域に配置するように設計されていることを特徴とする半導体装置。

【請求項8】 請求項7記載の半導体装置において、

上記トレンチ分離によって囲まれ、2つのNチャネル型MISFETのゲートが配置される2入力型活性領域をさらに備え、

上記第1のNチャネル型MISFETのゲートを上記2入力型活性領域に配置するように設計されていることを特徴とする半導体装置。

【請求項9】 請求項7又は8記載の半導体装置において、

上記連続型活性領域に配置される上記第2のNチャネル型MISFETのゲートのうち端部のゲートとトレンチ分離との間に配置されたダミーゲートをさらに

備えていることを特徴とする半導体装置。

【請求項 1 0】 請求項 7 又は 8 記載の半導体装置において、

上記連続型活性領域に配置される上記第 2 の N チャネル型 M I S F E T のゲートのうち端部のゲートとトレンチ分離との間の距離を、ゲート長の 4 倍以上の値にするように設計されていることを特徴とする半導体装置。

【請求項 1 1】 請求項 7 ～ 1 0 のうちいずれか 1 つに記載の半導体装置において、

上記第 1 の N チャネル型 M I S F E T よりもドレイン寄生容量の低減が必要な、又はチャネルリークもしくはゲートリークの低減が必要な第 3 の n チャネル M I S F E T のゲートを上記不連続型活性領域又は 2 入力型活性領域に配置するように設計されていることを特徴とする半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は設計レイアウトを最適化することにより、トランジスタ特性の性能を向上させた、高性能な M I S 型半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

図 1 1 は、多数の M I S トランジスタ（以下、M I S F E T という）を配置した従来の半導体装置のレイアウトを示す平面図である。同図に示すように、半導体装置には、トレンチ分離 R i s に囲まれて、M I S F E T の配置数や配置密度が異なる各種の活性領域が設けられている。この明細書においては、3 つ以上の M I S F E T のゲート 1 0 1 がトレンチ分離で分離されることなく連続して配置されている活性領域を連続型活性領域 R 1 0 1 と呼び、1 つの M I S F E T のゲート 1 0 4 のみが配置されている活性領域を不連続型活性領域 R 1 0 2 と呼び、2 つの M I S F E T のゲート 1 0 6 が配置された活性領域を 2 入力型活性領域 R 1 0 3 と呼ぶことにする。また、半導体装置のトレンチ分離 R i s 上には、ラインアンドスペースパターンによるゲートのパターニング精度を高くするために、ダミーゲート 1 0 7 も配置されている。

【 0 0 0 3 】

そして、図 1 1 に示すように、連続型活性領域 R 1 0 1 における M I S F E T のゲート 1 0 1 とトレンチ分離 R i s との間の距離 L 1 0 1 と、不連続型活性領域 R 1 0 2 における M I S F E T のゲート 1 0 4 とトレンチ分離 R i s との間の距離 L 1 0 2 と、2 入力型活性領域 R 1 0 3 における M I S F E T のゲート 1 0 6 とトレンチ分離 R i s との間の距離 L 1 0 3 とは、それぞれ互いに異なっている。

【 0 0 0 4 】

以上のように、従来の半導体装置は、占有面積をできる限り小さく設計するために、連続型活性領域のトランジスタと不連続型活性領域のトランジスタと 2 入力型活性領域のトランジスタが混在したレイアウトで構成される。

【 0 0 0 5 】

【非特許文献 1】

IEDM 1999 Tech.Dig., pp827-830 (図 9)

【非特許文献 2】

「機能性材料のための量子力学」 講談社 pp60-61

【非特許文献 3】

IEEE TRANSFORMATION ON ELECTRON DEVICES, Vol.38, No.4 pp895-900

【 0 0 0 6 】

【発明が解決しようとする課題】

従来の半導体装置が、以上のように設計されていた理由は、半導体装置の性能は、各 M I S F E T のゲート長とゲート幅で決定されることが前提となっていたからと考えられる。しかしながら、本発明者達の実験から、最近の微細化された M I S F E T を搭載した半導体装置では、その性能が M I S F E T のゲート長とゲート幅だけではなく、活性領域のレイアウト形状によっても変わりうるということが判ってきた。すなわち、回路構成が同じでも、レイアウトによって各 M I S F E T の動作速度などが変化することから、半導体装置全体の性能もレイアウトによって影響を受けるのである。

【 0 0 0 7 】

本発明の目的は、M I S F E T の動作速度が活性領域に存在する歪みによって

変化する特性を有する点に着目し、その変化特性を利用したレイアウト形状を実現することにより、高性能の半導体装置の提供を図ることにある。

【 0 0 0 8 】

【課題を解決するための手段】

本発明の第 1 の半導体装置は、1つのPチャネル型M I S F E Tのゲートのみが配置された第 1 の不連続型活性領域と、3つ以上のPチャネル型M I S F E Tのゲートが配置された第 1 の連続型活性領域と、上記第 1 の不連続型活性領域及び第 1 の連続型活性領域を囲むトレンチ分離とを備えた半導体装置において、第 1 のPチャネル型M I S F E Tのゲートを上記第 1 の連続型活性領域に配置する一方、上記第 1 のPチャネル型M I S F E Tよりも高い電流能力が必要な第 2 のPチャネル型M I S F E Tのゲートを上記第 1 の不連続型活性領域に配置するように設計されている。

【 0 0 0 9 】

これにより、トレンチ分離から受ける圧縮応力が大きい第 1 の不連続型活性領域に、高い電流能力の必要な第 2 のPチャネル型M I S F E Tが配置されているので、ヴァレンスバンドに生じるライトホールを利用したPチャネル型M I S F E Tの電流能力の向上が可能になり、高性能の半導体装置が得られる。

【 0 0 1 0 】

上記トレンチ分離によって囲まれ、2つのPチャネル型M I S F E Tのゲートが配置される2入力型活性領域をさらに備え、上記第 2 のPチャネル型M I S F E Tのゲートを上記2入力型活性領域に配置するように設計されていることにより、半導体装置全体としての活性領域の占有面積の低減を図りつつ、Pチャネル型M I S F E Tの性能の低下を抑制することができる。

【 0 0 1 1 】

その場合、上記2つの第 2 のPチャネル型M I S F E Tの2つのゲートの間には、分離用ダミーゲートが配置されていることにより、2つのPチャネル型M I S F E Tの信号同士の干渉を防止することができる。

【 0 0 1 2 】

上記第 1 の不連続型活性領域における活性領域のゲート長方向の幅は、ゲート

長の 5 倍以上で 8. 5 倍以下の値に設計されていることが好ましい。

【 0 0 1 3 】

上記第 1 の不連続型活性領域における活性領域のゲート長方向の幅は、0. 6 μ m 以上で 1. 0 μ m 以下の値に設計されていることが好ましい。

【 0 0 1 4 】

上記トレンチ分離に囲まれ、1 つの N チャンネル型 M I S F E T のゲートのみが配置された第 2 の不連続型活性領域と、上記トレンチ分離に囲まれ 3 つ以上の N チャンネル型 M I S F E T のゲートが配置された第 2 の連続型活性領域とをさらに備え、第 1 の N チャンネル型 M I S F E T のゲートを上記第 2 の連続型活性領域に配置する一方、上記第 1 の N チャンネル型 M I S F E T よりも高い電流能力が必要な第 2 の N チャンネル型 M I S F E T のゲートを上記第 2 の連続型活性領域に配置するように設計されていることにより、トレンチ分離からのストレスによる N チャンネル型 M I S F E T の電流能力の低下を抑制することができる。

【 0 0 1 5 】

本発明の第 2 の半導体装置は、1 つの N チャンネル型 M I S F E T のゲートのみが配置された不連続型活性領域と、3 つ以上の N チャンネル型 M I S F E T のゲートが配置された連続型活性領域と、上記不連続型活性領域及び連続型活性領域を囲むトレンチ分離とを備えた半導体装置において、第 1 の N チャンネル型 M I S F E T のゲートを上記連続型活性領域に配置する一方、上記第 1 の N チャンネル型 M I S F E T よりも高い電流能力が必要な第 2 の N チャンネル型 M I S F E T のゲートを上記連続型活性領域に配置するように設計されている。

【 0 0 1 6 】

これにより、トレンチ分離から受ける圧縮応力が小さい連続型活性領域に、高い電流能力の必要な第 2 の N チャンネル型 M I S F E T が配置されているので、ストレスによる N チャンネル型 M I S F E T の電流能力の低下を抑制することが可能になり、高性能の半導体装置が得られる。

【 0 0 1 7 】

上記トレンチ分離によって囲まれ、2 つの N チャンネル型 M I S F E T のゲートが配置される 2 入力型活性領域をさらに備え、上記第 1 の N チャンネル型 M I S F

E T のゲートを上記 2 入力型活性領域に配置するように設計されていることが好ましい。

【 0 0 1 8 】

上記連続型活性領域に配置される上記第 2 の N チャネル型 M I S F E T のゲートのうち端部のゲートとトレンチ分離との間に配置されたダミーゲートをさらに備えていることにより、連続型活性領域に配置されるすべての N チャネル型 M I S F E T の電流能力の低下を抑制することができる。

【 0 0 1 9 】

上記連続型活性領域に配置される上記第 2 の N チャネル型 M I S F E T のゲートのうち端部のゲートとトレンチ分離との間の距離を、ゲート長の 4 倍以上の値にするように設計されていることが好ましい。

【 0 0 2 0 】

上記第 1 の N チャネル型 M I S F E T よりも、ドレイン寄生容量の低減が必要な、又はチャネルリークもしくはゲートリークの低減が必要な第 3 の n チャネル M I S F E T のゲートを上記不連続型活性領域又は 2 入力型活性領域に配置するように設計されていることが好ましい。

【 0 0 2 1 】

【発明の実施の形態】

ー活性領域及び M I S F E T の種類ー

まず、本発明の実施形態において使用する M I S F E T について、M I S F E T が配置される活性領域との関係で定まる M I S F E T のゲートの種類について説明する。本実施形態において、M I S F E T が配置される活性領域は、不連続型活性領域 R 10、2 入力型活性領域 R 20 及び連続型活性領域 R 30 がある。

【 0 0 2 2 】

図 6 (a) , (b) は、それぞれ順に、不連続型活性領域 R 10 における M I S F E T のレイアウトを示す平面図、及び VI - VI 線における断面図である。

【 0 0 2 3 】

図 6 (a) , (b) に示すように、トレンチ分離 R 1 s (素子分離領域) によって囲まれる不連続型活性領域 R 10 には、ゲート絶縁膜 1 1 とゲート電極 1 2 とを

有する単一のゲート 1 0 のみが配置されている。不連続型活性領域 R 1 0 に配置される M I S F E T のゲート 1 0 は、その両側において他のゲートを介在させることなくトレンチ分離 R i s と対向するゲート（以下、孤立ゲートという）である。そして、不連続型活性領域 R 1 0 に配置される M I S F E T のゲート 1 0 の端部と、トレンチ分離 R i s のうち当該ゲート 1 0 にもっとも近接している端部との間の距離をフィンガー長 L 1 0 と定義する。

【 0 0 2 4 】

なお、トレンチ分離 R i s の上には、ラインアンドスペースパターンによるゲートのパターニング精度を高くするために、ダミーゲート 1 7 が設けられている。

【 0 0 2 5 】

図 7 (a) , (b) は、それぞれ順に、2 入力型活性領域 R 2 0 における M I S F E T のレイアウトを示す平面図、及び VII - VII 線における断面図である。

【 0 0 2 6 】

図 7 (a) , (b) に示すように、トレンチ分離 R i s （素子分離領域）によって囲まれる 2 入力型活性領域 R 2 0 には、各々ゲート絶縁膜 2 1 とゲート電極 2 2 とを有する 2 つのゲート 2 0 が配置されている。2 入力型活性領域 R 2 0 に配置される 2 つの M I S F E T のゲート 2 0 は、いずれも、その片側においてのみ他のゲートを介在させることなくトレンチ分離 R i s と対向するゲート（以下、端部ゲートという）である。そして、2 入力型活性領域 R 2 0 に配置される M I S F E T のゲート 2 0 の端部と、トレンチ分離 R i s のうち当該ゲート 2 0 にもっとも近接している端部との間の距離をフィンガー長 L 2 0 と定義する。

【 0 0 2 7 】

図 8 (a) , (b) は、それぞれ順に、連続型活性領域 R 3 0 における M I S F E T のレイアウトを示す平面図、及び VIII - VIII 線における断面図である。

【 0 0 2 8 】

図 8 (a) , (b) に示すように、トレンチ分離 R i s （素子分離領域）によって囲まれる連続型活性領域 R 3 0 には、各々ゲート絶縁膜 3 1 とゲート電極 3 2 とを有する 3 つ以上の M I S F E T のゲート 3 0 が配置されている。連続型活性領域 R 3 0 に配置される M I S F E T のゲート 3 0 は、その片側においてのみ他のゲ

ートを介在させることなくトレンチ分離 R_{is} と対向する端部ゲートか、その両側においてトレンチ分離 R_{is} を介在させることなく他のゲートに対向するゲート（以下、中間ゲートという）である。

【0029】

そして、連続型活性領域 R_{30} の端部に配置されるMISFETのゲート30の端部と、トレンチ分離 R_{is} のうち当該ゲート30にもっとも近接している端部との間の距離をフィンガー長 L_{30} と定義する。

【0030】

図9は、図10（a）～（d）に示すゲートパターンを有するPMISFET及びNMISFETの飽和電流値 I_{dsat} のデータを表にして示す図である。図9に示す飽和電流値 I_{dsat} は、図10（a）に示すゲートパターンを有するPMISFET及びNMISFETの飽和電流値 I_{dsat} をそれぞれ“1”としたときの比によって表されている。図10（a）は、両側におけるフィンガー長が短フィンガー長 L_s （ $=0.24\mu m$ ）であるゲートのパターンを示し、図10（b）は、両側におけるフィンガー長が中フィンガー長 L_m （ $=0.4\mu m$ ）であるゲートのパターンを示し、図10（c）は、両側におけるフィンガー長が大フィンガー長 L_w （ $=1.0\mu m$ ）であるゲートのパターンを示し、図10（d）は、一方の側におけるフィンガー長が短フィンガー長 L_s （ $=0.24\mu m$ ）で、他の側におけるフィンガー長が大フィンガー長 L_w （ $=1.0\mu m$ ）であるゲートのパターンを示している。なお、図10（a）～（d）に示すいずれのゲートの場合にも、一定間隔でダミーゲートが設けられている。

【0031】

図9及び図10（a）～（d）を参照すると、以下のことがわかる。Pチャネル型MISFETにおいては、図10（a）に示すような、ゲート両側のフィンガー長が短フィンガー長 L_s であるPチャネル型MISFETの飽和電流値 I_{dsat} が最も大きく、図10（c）に示すような、ゲート両側のフィンガー長が大フィンガー長 L_w であるPチャネル型MISFETの飽和電流値 I_{dsat} が最も小さく、図10（b）に示すような、ゲート両側のフィンガー長が中フィンガー長 L_m であるPチャネル型MISFETの飽和電流値 I_{dsat} が両者の中間程度である

。また、このデータに関する限り、図 1 0 (d) に示すような、ゲートの一方の側のフィンガー長が短フィンガー長 L_s で、ゲートの他の側のフィンガー長が大フィンガー長 L_w である P チャンネル型 M I S F E T の飽和電流値 I_{dsat} は、図 1 0 (c) に示す P チャンネル型 M I S F E T の飽和電流値 I_{dsat} と同じである。

【 0 0 3 2 】

したがって、P チャンネル型 M I S F E T は、不連続型活性領域 R 10 に配置されていることが好ましく、そのフィンガー長がゲート長の 4 倍以上で 8 . 5 倍以下の値に設計されていることがより好ましい。また、不連続型活性領域 R 10 のゲート長方向の幅は、0 . 6 μ m 以上で 1 . 0 μ m 以下の値に設計されていることが好ましい。

【 0 0 3 3 】

N チャンネル型 M I S F E T においては、図 1 0 (b) に示すような、ゲート両側のフィンガー長が中フィンガー長 L_m である N チャンネル型 M I S F E T と、図 1 0 (c) に示すような、ゲート両側のフィンガー長が大フィンガー長 L_w を有する N チャンネル型 M I S F E T との飽和電流値 I_{dsat} が同程度で最も大きく、図 1 0 (d) に示すような、ゲートの一方の側のフィンガー長が短フィンガー長 L_s で、ゲートの他の側のフィンガー長が大フィンガー長 L_w である N チャンネル型 M I S F E T の飽和電流値 I_{dsat} が次に大きく、図 1 0 (a) に示すようなゲート両側のフィンガー長が短フィンガー長 L_m である N チャンネル型 M I S F E T の飽和電流値 I_{dsat} が両者の中間程度である。

【 0 0 3 4 】

したがって、N チャンネル型 M I S F E T は、連続型活性領域 R 30 に配置されていることが好ましく、そのフィンガー長がゲート長の 4 倍以上の値に設計されていることがより好ましい。

【 0 0 3 5 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る半導体装置のうち P チャンネル型 M I S F E T のみのレイアウトを示す平面図である。本実施形態に係る N チャンネル型 M I S F E T のレイアウトは、特に特定の構造に限定されるものではないので、N

チャンネル型M I S F E Tの図示及び説明は省略する。

【 0 0 3 6 】

図1に示すように、本実施形態のPチャンネル型M I S F E Tの各活性領域は、Nウェル40に設けられており、1つのPチャンネル型M I S F E Tの高駆動力型ゲート10phのみが配置されている不連続型活性領域R10pと、2つのPチャンネル型M I S F E Tの高駆動力型ゲート20phが配置されている2入力型活性領域R20pと、3つ以上のPチャンネル型M I S F E Tの通常型ゲート30puが連続して配置されている連続型活性領域R30pとを有している。また、半導体装置のトレンチ分離Ris上には、ラインアンドスペースパターンによるゲートのパターンニング精度を高くするために、ダミーゲート17も配置されている。

【 0 0 3 7 】

ここで、本実施形態の半導体装置におけるPチャンネル型M I S F E Tの特徴は以下の通りである。

【 0 0 3 8 】

高い電流能力を必要とする高駆動力型ゲートは、不連続型活性領域R10pと2入力型活性領域R20pとに配置され、後述するように、トレンチ分離Risから比較的大きなストレスを受けるようにレイアウトされている。つまり、高い電流能力を必要とするPチャンネル型M I S F E Tのゲートは、不連続型活性領域R10pに配置された高駆動力型ゲート10ph（孤立ゲート）か、2入力型活性領域R20pに配置された高駆動力型ゲート20ph（端部ゲート）である。そして、不連続型活性領域R10p内の高駆動力型ゲート10phのフィンガー長L10pと、2入力型活性領域R20p内の高駆動力型ゲート20phのフィンガー長L20pとは、いずれも図10（a）に示す短フィンガー長Lsである。

【 0 0 3 9 】

一方、それほど高い電流能力を必要としないPチャンネル型M I S F E Tのゲートは、連続型活性領域R30pに配置され、後述するように、トレンチ分離Risからのストレスをあまり受けないようにレイアウトされている。つまり、高い電流能力を必要としないPチャンネル型M I S F E Tのゲートは、連続型活性領域R30pに配置された通常型ゲート30pu（端部ゲート又は中間ゲート）である。そし

て、連続型活性領域 R 30p 内の通常型ゲート 3 0 puのうち端部に配置されたゲートの短い方のフィンガー長 L 30p は、図 1 0 (d) に示す短フィンガー長 L s である。

【 0 0 4 0 】

－第 1 の実施形態の効果－

トレンチ分離からチャンネルに及ぼす圧縮ストレス（以下、トレンチ分離ストレスと示す）のトランジスタ特性に与える効果は、同じゲート長、同じゲート幅のトランジスタであっても能力差が生じるという効果である。以下、トレンチ分離ストレスのトランジスタ特性に与える効果を説明する。M I S F E T のチャンネル部分では、トレンチ分離ストレスによって格子に歪みが生じる。したがって、N チャンネル型 M I S F E T においては、チャンネル部分での実効移動度が低下し、N チャンネル型 M I S F E T の能力が低下する傾向を示す。しかし、P チャンネル型 M I S F E T では、ゲート長方向のトレンチ分離ストレスによって、ヴァレンスバンドの縮退が解け、重い正孔と軽い正孔（ライトホール）とが発生する。このライトホールは実効質量が小さいため、P チャンネル型 M I S F E T の実効移動度は増加する傾向を示す。

【 0 0 4 1 】

したがって、図 9 及び図 1 0 (a) ～ (d) に示すように、P チャンネル型 M I S F E T では、ゲート長方向のトレンチ分離ストレスが大きいときに電流駆動能力が向上する。

【 0 0 4 2 】

したがって、本実施形態の半導体装置によると、不連続活性領域 R 10p 又は 2 入力型活性領域 R 20p に、高駆動力型ゲート 1 0 ph 又は 2 0 ph が配置されているので、格子歪みによって生じたライトホールを利用して高駆動型 P チャンネル型 M I S F E T が得られる。

【 0 0 4 3 】

一般に、ロジック回路用の半導体装置としては、N チャンネル型 M I S F E T と P チャンネル型 M I S F E T とを備えた、いわゆる CMOS デバイスが使用される。その場合、キャリアとして電子を用いる N チャンネル型 M I S F E T に比べて、

キャリアとしてホールを用いる P チャネル型 M I S F E T のキャリア移動度は大幅に小さいので、C M O S デバイスにおいては、P チャネル型 M I S F E T の能力が C M O S デバイス全体の性能に大きな比重を占めている。したがって、本実施形態により、高性能の C M O S デバイスを得ることが可能になる。

【 0 0 4 4 】

なお、本実施形態においては、2 入力型活性領域 R 2 0 p h にも高駆動力型ゲートを配置したが、高駆動力型ゲートは不連続型活性領域 1 0 p h のみに配置してもよい。その場合には、図 9 及び図 1 0 (a) ~ (d) からわかるように、本発明の効果をより顕著に発揮することができる。

【 0 0 4 5 】

(第 2 の実施形態)

図 2 は、本発明の第 2 の実施形態に係る半導体装置のうち N チャネル型 M I S F E T のみのレイアウトを示す平面図である。本実施形態に係る P チャネル型 M I S F E T のレイアウトは、特に特定の構造に限定されるものではないので、P チャネル型 M I S F E T の図示及び説明は省略する。

【 0 0 4 6 】

図 2 に示すように、本実施形態の N チャネル型 M I S F E T は、P ウェル 4 1 上に設けられており、1 つの N チャネル型 M I S F E T の通常型ゲート 1 0 n u のみが配置されている不連続型活性領域 R 1 0 n と、2 つの N チャネル型 M I S F E T の通常型ゲート 2 0 n u が配置されている 2 入力型活性領域 R 2 0 n と、3 つ以上の N チャネル型 M I S F E T の高駆動力型ゲート 3 0 n h がトレンチ分離で分離されることなく連続して配置されている連続型活性領域 R 3 0 n とを有している。また、半導体装置のトレンチ分離 R i s 上には、ラインアンドスペースパターンによるゲートのパターニング精度を高くするために、ダミーゲート 1 7 も配置されている。

【 0 0 4 7 】

ここで、本実施形態の半導体装置における N チャネル型 M I S F E T の特徴は以下の通りである。

【 0 0 4 8 】

高い電流能力を必要とするNチャネル型M I S F E Tのゲートは、連続型活性領域R30nに配置され、トレンチ分離ストレスをあまり受けないように構成されている。つまり、高い電流能力を必要とするNチャネル型M I S F E Tのゲートは、連続型活性領域R30nに配置された高駆動力型ゲート30nh（端部ゲート又は中間ゲート）である。そして、連続型活性領域R30n内の高駆動力型ゲート30nhのうち端部に配置されたゲートの短い方のフィンガー長L30nは、図10（d）に示す短フィンガー長Lsである。

【0049】

一方、あまり電流能力を必要としないNチャネル型M I S F E Tのゲートは、不連続型活性領域R10nと2入力型活性領域R20nとに配置され、トレンチ分離Risから比較的大きなストレスを受けるようにレイアウトされている。つまり、あまり電流能力を必要としないNチャネル型M I S F E Tのゲートは、不連続型活性領域R10nに配置された通常型ゲート10nu（孤立ゲート）か、2入力型活性領域R20nに配置された通常型ゲート20nu（端部ゲート）である。そして、不連続型活性領域R10n内の通常型ゲート10nuのフィンガー長L10nと、2入力型活性領域R20n内の通常型ゲート20nuのフィンガー長L20nとは、いずれも図10（a）に示す短フィンガー長Lsである。

【0050】

なお、ドレイン寄生容量を減らしたいNチャネル型M I S F E T，またはオフ状態におけるチャネルリークやゲートリークが許容できないM I S F E Tは、不連続型活性領域R10nと2入力型活性領域R20nとに配置することが好ましい。

【0051】

－第2の実施形態の効果－

上述のように、Nチャネル型M I S F E Tにおいては、チャネル部分での実効移動度が低下し、Nチャネル型M I S F E Tの能力が低下する傾向を示す。

【0052】

したがって、図9及び図10（a）～（d）に示すように、Nチャネル型M I S F E Tでは、ゲート長方向のトレンチ分離ストレスが大きいときに電流駆動能力が低下する。

【 0 0 5 3 】

したがって、本実施形態の半導体装置によると、連続活性領域 R30n のみに、高駆動力型ゲート 30nh が配置されているので、格子歪みに起因する駆動力の低下を抑制することができ、従来の半導体装置に比べると電流能力の大きい高駆動力型 N チャネル型 M I S F E T が得られる。したがって、本実施形態により、高駆動力型 N チャネル型 M I S F E T を有する高性能の C M O S デバイスを得ることが可能になる。

【 0 0 5 4 】

また、本実施形態の半導体装置においては、ドレイン寄生容量を減らしたい N チャネル型 M I S F E T、またはオフ状態におけるチャネルリークやゲートリークが許容できない N チャネル型 M I S F E T のゲートは、不連続型活性領域 R10n 又は 2 入力型活性領域 R20n に配置されていることによっても、高速動作特性と低リーク特性とを有する N チャネル型 M I S F E T を備えた半導体装置が得られることになる。

【 0 0 5 5 】

－ 第 2 の実施形態の変形例 －

本変形例においては、P チャネル型 M I S F E T のゲートを図 1 に示すレイアウトにし、また、N チャネル型 M I S F E T のゲートを図 2 に示すレイアウトにする。これにより、第 1 及び第 2 の実施形態の効果をあわせて発揮することができる。

【 0 0 5 6 】

つまり、高い電流能力を得たい P チャネル型 M I S F E T の高駆動力型ゲートは、大きなトレンチ分離ストレスを受ける不連続型活性領域 R10p 又は 2 入力型活性領域 R20p に配置し、高い電流能力を得たい N チャネル型 M I S F E T のゲートは、連続型活性領域 R30n に配置することにより、P チャネル型 M I S F E T 及び N チャネル型 M I S F E T のいずれにおいても、電流能力が増大する。また、必要に応じてドレイン寄生容量を減らしたい N チャネル型 M I S F E T やオフトランジスタのチャネルリークやゲートリークが許容できない N チャネル型 M I S F E T は、不連続型活性領域 R10n 又は 2 入力型活性領域 R20n に配置する

ことにより、高速動作特性と低リーク特性とを有するNチャネル型M I S F E Tを備えた半導体装置が得られることになる。

【0057】

(第3の実施形態)

図3は、本発明の第3の実施形態に係る半導体装置のうちNチャネル型M I S F E Tのみのレイアウトを示す平面図である。本実施形態に係るPチャネル型M I S F E Tのレイアウトは、特に特定の構造に限定されるものではないので、Pチャネル型M I S F E Tの図示及び説明は省略する。

【0058】

図3に示すように、本実施形態のNチャネル型M I S F E Tは、Pウェル41上に設けられており、1つのNチャネル型M I S F E Tの通常型ゲート10nuのみが配置されている不連続型活性領域R10nと、2つのNチャネル型M I S F E Tの通常型ゲート20nuが配置されている2入力型活性領域R20nと、3つ以上のNチャネル型M I S F E Tの高駆動力型ゲート30nhがトレンチ分離で分離されることなく連続して配置されている連続型活性領域R30nとを有している。また、半導体装置のトレンチ分離Ris上には、ラインアンドスペースパターンによるゲートのパターニング精度を高くするために、ダミーゲート17も配置されている。

【0059】

ここで、本実施形態の半導体装置におけるNチャネル型M I S F E Tの特徴は以下の通りである。

【0060】

高い電流能力を必要とする高駆動力型ゲートは、連続型活性領域R30nに配置され、トレンチ分離ストレスをあまり受けないように構成されている。その点では、第2の実施形態と同様である。しかし、本実施形態においては、連続型活性領域R30nに配置されたゲートのうちトレンチ分離Risに隣接するゲートはダミーゲート17nである。言い換えると、高い電流能力を必要とするNチャネル型M I S F E Tのゲートは、連続型活性領域R30nに配置されたゲートのうちダミーゲート17nを除く高駆動力型ゲート30nh(中間ゲート)である。そして、

連続型活性領域 R_{30n} 内の高駆動力型ゲート $30nh$ のうちダミーゲート $17n$ に隣接するゲートの短い方のフィンガー長 L_{30n} は、図 10 (c) に示す中フィンガー長 L_m である。

【 0 0 6 1 】

なお、あまり電流能力を必要としない N チャネル型 M I S F E T のゲートは、不連続型活性領域 R_{10n} と 2 入力型活性領域 R_{20n} とに配置され、トレンチ分離 R_{is} から比較的大きなストレスを受けるようにレイアウトされている。つまり、あまり電流能力を必要としない N チャネル型 M I S F E T のゲートは、不連続型活性領域 R_{10n} に配置された通常型ゲート $10nu$ (孤立ゲート) か、2 入力型活性領域 R_{20n} に配置された通常型ゲート $20nu$ (端部ゲート) である。そして、不連続型活性領域 R_{10n} 内の通常型ゲート $10nu$ のフィンガー長 L_{10n} と、2 入力型活性領域 R_{20n} 内の通常型ゲート $20nu$ のフィンガー長 L_{20n} とは、いずれも図 10 (a) に示す短フィンガー長 L_s である。この点は、第 2 の実施形態と同様である。

【 0 0 6 2 】

本実施形態によると、高い電流を得たい N チャネル型 M I S F E T の高駆動力型ゲート $30nh$ を連続型活性領域 R_{30n} に配置するとともに、連続型活性領域 R_{30n} の端部にダミーゲート $17n$ を設けているので、N チャネル型 M I S F E T の高駆動力ゲート $30nh$ のうちダミーゲート $17n$ に隣接するゲートの短い方のフィンガー長 L_{30n} は、中フィンガー長 L_m になる。図 9 に示すように、N チャネル型 M I S F E T においては、ゲートのフィンガー長が中フィンガー長 L_m である N チャネル型 M I S F E T の飽和電流値 I_{dsat} は、ゲートの一方のフィンガー長が短フィンガー長 L_s である N チャネル型 M I S F E T の飽和電流値 I_{dsat} よりもかなり大きい。したがって、本実施形態の半導体装置によると、ゲートが連続型活性領域 R_{30n} に配置されているすべての N チャネル型 M I S F E T について、トレンチ分離ストレスに起因する電流能力の低下を抑制することができるので、第 2 の実施形態よりもさらに電流能力の大きい N チャネル型 M I S F E T を備えた半導体装置を得ることができる。

【 0 0 6 3 】

(第 4 の実施形態)

図 4 は、本発明の第 4 の実施形態に係る半導体装置のうち N チャネル型 M I S F E T のみのレイアウトを示す平面図である。本実施形態に係る P チャネル型 M I S F E T のレイアウトは、特に特定の構造に限定されるものではないので、P チャネル型 M I S F E T の図示及び説明は省略する。

【 0 0 6 4 】

図 4 に示すように、本実施形態の N チャネル型 M I S F E T は、P ウェル 4 1 上に設けられており、1 つの N チャネル型 M I S F E T の通常型ゲート 1 0 nu のみが配置されている不連続型活性領域 R 10n と、2 つの N チャネル型 M I S F E T の通常型ゲート 2 0 nu が配置されている 2 入力型活性領域 R 20n と、3 つ以上の N チャネル型 M I S F E T の高駆動力型ゲート 30nh がトレンチ分離で分離されることなく連続して配置されている連続型活性領域 R 30n とを有している。また、半導体装置のトレンチ分離 R is 上には、ラインアンドスペースパターンによるゲートのパターニング精度を高くするために、ダミーゲート 1 7 も配置されている。

【 0 0 6 5 】

ここで、本実施形態の半導体装置における N チャネル型 M I S F E T の特徴は以下の通りである。

【 0 0 6 6 】

高い電流能力を必要とする高駆動力型ゲート 3 0 nh は、連続型活性領域 R 30n に配置され、トレンチ分離ストレスをあまり受けないように構成されている。その点では、第 2 の実施形態と同様である。しかし、本実施形態においては、連続型活性領域 R 30n に配置されたゲートのうちトレンチ分離 R is に隣接する高駆動力型ゲート 3 0 nh の短い方のフィンガー長 L 30n は、図 1 0 (c) に示す中フィンガー長 L m である。

【 0 0 6 7 】

なお、あまり電流能力を必要としない N チャネル型 M I S F E T のゲートは、不連続型活性領域 R 10n と 2 入力型活性領域 R 20n とに配置され、トレンチ分離 R is から比較的大きなストレスを受けるようにレイアウトされている。つまり、

あまり電流能力を必要としないNチャネル型M I S F E Tのゲートは、不連続型活性領域R10n に配置された通常型ゲート1 0 nu（孤立ゲート）か、2入力型活性領域R20n に配置された通常型ゲート2 0 nu（端部ゲート）である。そして、不連続型活性領域R10n 内の通常型ゲート1 0 nuのフィンガー長L10n と、2入力型活性領域R20n 内の通常型ゲート2 0 nuのフィンガー長L20n とは、いずれも図1 0（a）に示す短フィンガー長L sである。この点は、第2の実施形態と同様である。

【0 0 6 8】

本実施形態によると、高い電流能力を得たいNチャネル型M I S F E Tの高駆動力型ゲート3 0 nhを連続型活性領域R30n に配置するとともに、端部に配置された高駆動力型ゲート3 0 nhの短い方のフィンガー長L30n は、中フィンガー長L mである。したがって、第3の実施形態と同様に、本実施形態の半導体装置によると、連続型活性領域R30n に配置されるすべてのNチャネル型M I S F E Tについて、トレンチ分離ストレスに起因する電流能力の低下を抑制することができるので、第2の実施形態よりもさらに電流能力の大きいNチャネル型M I S F E Tを備えた半導体装置を得ることができる。

【0 0 6 9】

すなわち、連続型活性領域R30n に配置されるNチャネル型M I S F E Tのゲートのうち端部ゲートのフィンガー長L30n をゲ4倍以上にすることにより、ダミーゲートを設けなくても、第3の実施形態と同じ効果を発揮することができる。

【0 0 7 0】

（第5の実施形態）

図5は、本発明の第5の実施形態に係る半導体装置のうちPチャネル型M I S F E Tのみのレイアウトを示す平面図である。本実施形態に係るNチャネル型M I S F E Tのレイアウトは、特に特定の構造に限定されるものではないので、Nチャネル型M I S F E Tの図示及び説明は省略する。

【0 0 7 1】

図5に示すように、本実施形態のPチャネル型M I S F E Tの各活性領域は、

Nウェル40に設けられており、1つのPチャネル型MISFETの高駆動力型ゲート10phのみが配置されている不連続型活性領域R10pと、2つのPチャネル型MISFETの高駆動力型ゲート20phが配置されている2入力型活性領域R20pと、3つ以上のPチャネル型MISFETの通常型ゲート30puが連続して配置されている連続型活性領域R30pとを有している。また、半導体装置のトレンチ分離Ris上には、ラインアンドスペースパターンによるゲートのパターンニング精度を高くするために、ダミーゲート17も配置されている。

【0072】

ここで、本実施形態の半導体装置におけるPチャネル型MISFETの特徴は以下の通りである。

【0073】

高い電流能力を必要とする高駆動力型ゲートは、不連続型活性領域R10pと2入力型活性領域R20pとに配置され、後述するように、トレンチ分離Risから比較的大きなストレスを受けるようにレイアウトされている。つまり、高い電流能力を必要とするPチャネル型MISFETのゲートは、不連続型活性領域R10pに配置された高駆動力型ゲート10ph（孤立ゲート）か、2入力型活性領域R20pに配置された高駆動力型ゲート20ph（端部ゲート）である。そして、不連続型活性領域R10p内の高駆動力型ゲート10phのフィンガー長L10pと、2入力型活性領域R20p内の高駆動力型ゲート20phのフィンガー長L20pとは、いずれも図10（a）に示す短フィンガー長Lsである。この点は、第1の実施形態と同じである。

【0074】

ところが、本実施形態においては、2入力型活性領域R20pにおいて、2つの高駆動力型ゲート20phの間には、分離用ダミーゲート17pが配置されている。この点が、本実施形態の半導体装置の特徴である。

【0075】

一方、第1の実施形態と同様に、それほど電流能力を必要としないPチャネル型MISFETのゲートは、連続型活性領域R30pに配置され、後述するように、トレンチ分離Risからのストレスをあまり受けないようにレイアウトされてい

る。つまり、高い電流能力を必要としないPチャネル型MISFETのゲートは、連続型活性領域R30pに配置された通常型ゲート30pu（端部ゲート又は中間ゲート）である。そして、連続型活性領域R30p内の通常型ゲート30puのうち端部に配置されたゲートの短い方のフィンガー長L30pは、図10（d）に示す短フィンガー長Lsである。

【0076】

したがって、本実施形態の半導体装置によれば、第1の実施形態の効果と同じ効果を発揮することができ、さらに、2入力型活性領域に配置される2つのPチャネル型MISFETの信号同士の干渉を防止することができる。

【0077】

【発明の効果】

本発明の半導体装置によると、活性領域に加わるトレンチ分離からのストレスを考慮して、MISFETの種類に応じたレイアウトをするようにしたので、高性能の半導体装置の提供を図ることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体装置のうちPチャネル型MISFETのみのレイアウトを示す平面図である。

【図2】

本発明の第2の実施形態に係る半導体装置のうちNチャネル型MISFETのみのレイアウトを示す平面図である。

【図3】

本発明の第3の実施形態に係る半導体装置のうちNチャネル型MISFETのみのレイアウトを示す平面図である。

【図4】

本発明の第4の実施形態に係る半導体装置のうちNチャネル型MISFETのみのレイアウトを示す平面図である。

【図5】

本発明の第5の実施形態に係る半導体装置のうちPチャネル型MISFETの

みのレイアウトを示す平面図である。

【図 6】

(a), (b) は、それぞれ順に、不連続型活性領域における M I S F E T のレイアウトを示す平面図、及び VI-VI 線における断面図である。

【図 7】

(a), (b) は、それぞれ順に、2 入力型活性領域における M I S F E T のレイアウトを示す平面図、及び VII-VII 線における断面図である。

【図 8】

(a), (b) は、それぞれ順に、連続型活性領域における M I S F E T のレイアウトを示す平面図、及び VIII-VIII 線における断面図である。

【図 9】

各ゲートパターンを有する P M I S F E T 及び N M I S F E T の飽和電流値 I_{dsat} のデータを表にして示す図である。

【図 1 0】

(a) ~ (d) は、それぞれ順に、両側のフィンガー長が短フィンガー長、両側のフィンガー長が中フィンガー長、両側のフィンガー長が大フィンガー長、並びに、一方のフィンガー長が短フィンガー長で他方のフィンガー長が大フィンガー長であるゲートのパターンを示す平面図である。

【図 1 1】

多数の M I S F E T を配置した従来の半導体装置のレイアウトを示す平面図である。

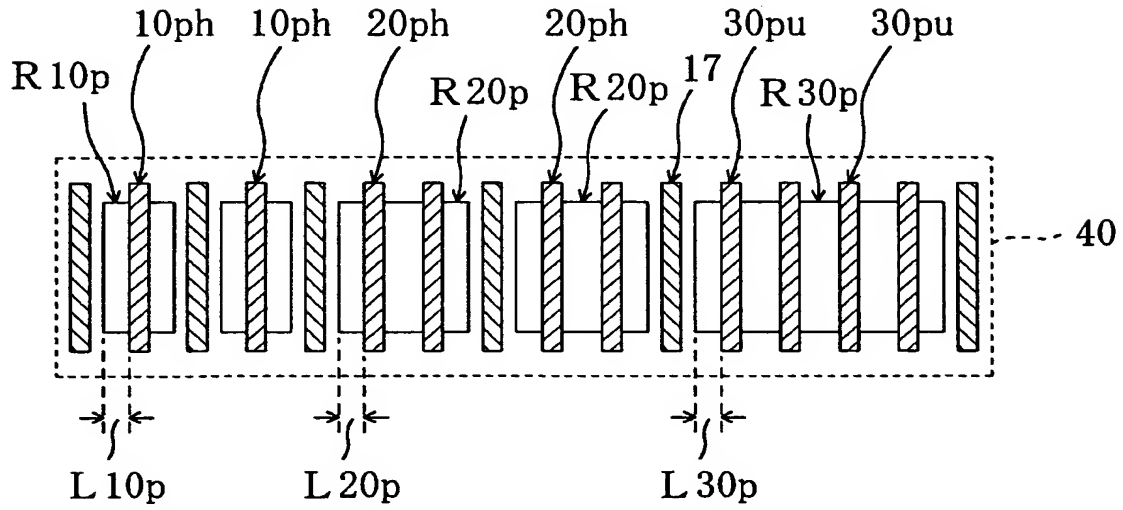
【符号の説明】

R 10p	不連続型活性領域
R 20p	2 入力型活性領域
R 30p	連続型活性領域
R 10n	不連続型活性領域
R 20n	2 入力型活性領域
R 30n	連続型活性領域
R i s	トレンチ分離

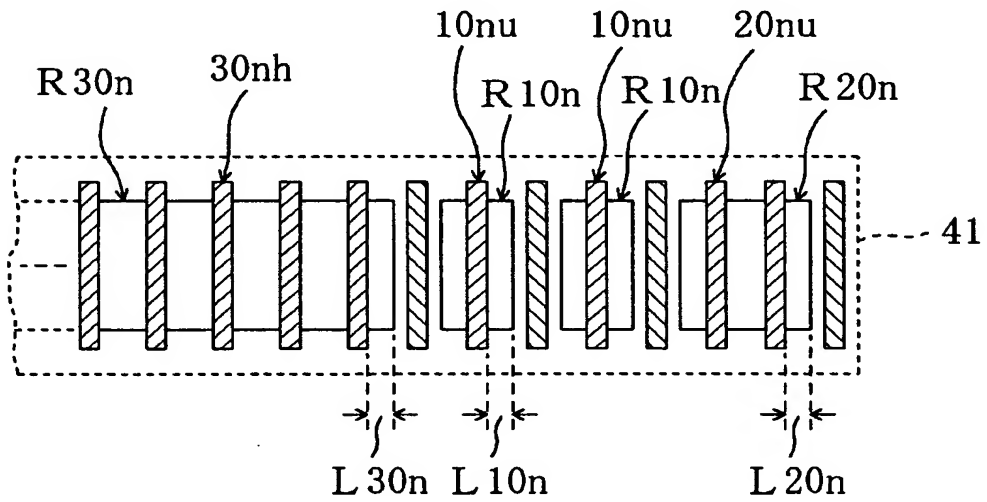
1 0 ph 高駆動力型ゲート
2 0 ph 高駆動力型ゲート
3 0 pu 通常型ゲート
1 0 nu 通常型ゲート
2 0 nu 通常型ゲート
3 0 nh 高駆動力型ゲート
1 1 ゲート絶縁膜
1 2 ゲート電極
1 7 n ダミーゲート
1 7 p 分離用ダミーゲート
4 0 Nウェル
4 1 Pウェル

【書類名】 図面

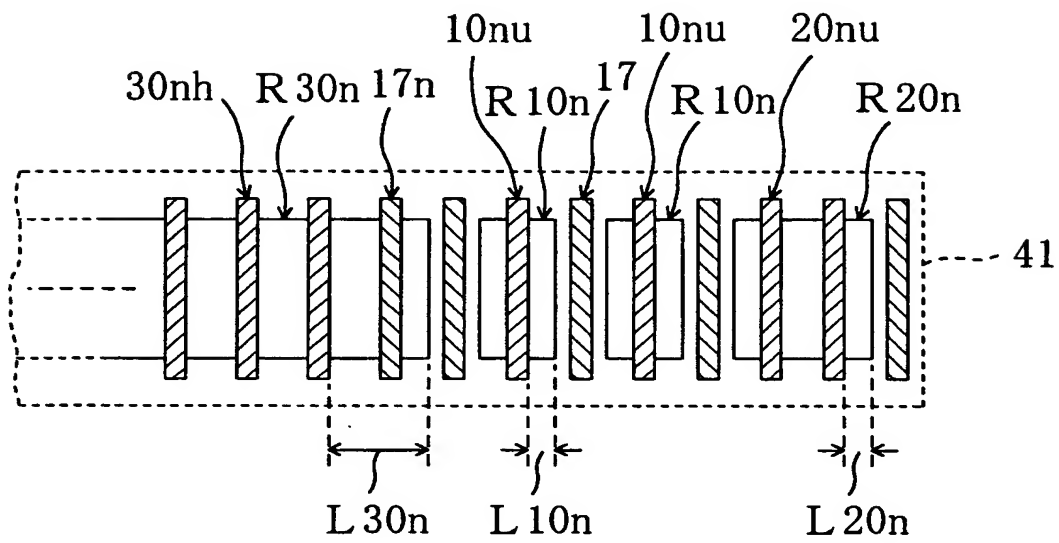
【図 1】



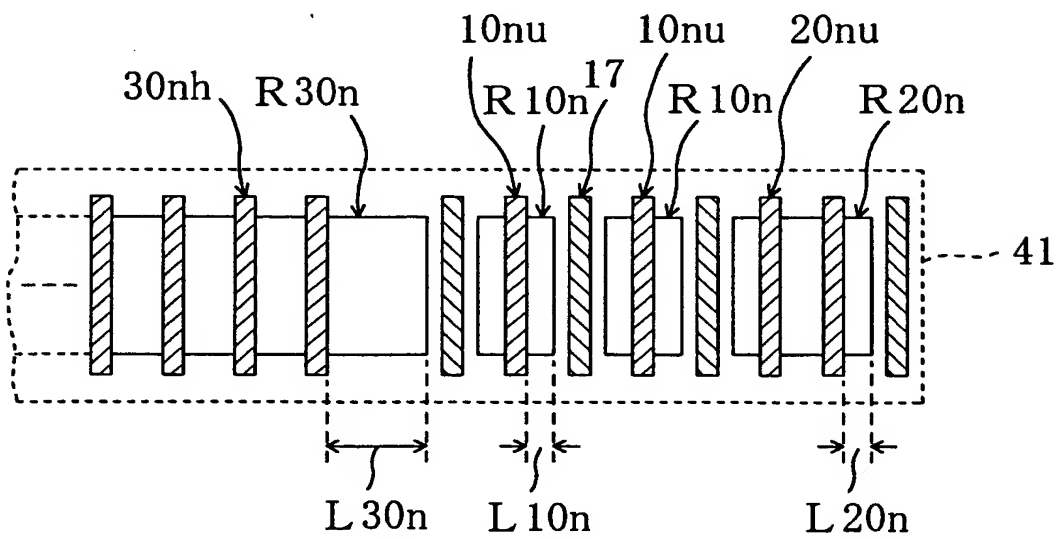
【図 2】



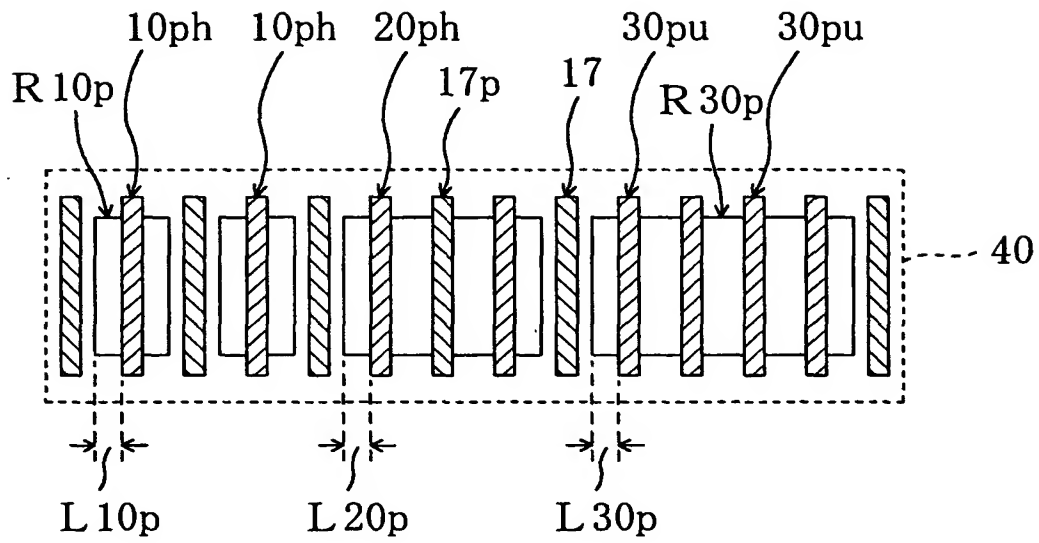
【図 3】



【図 4】

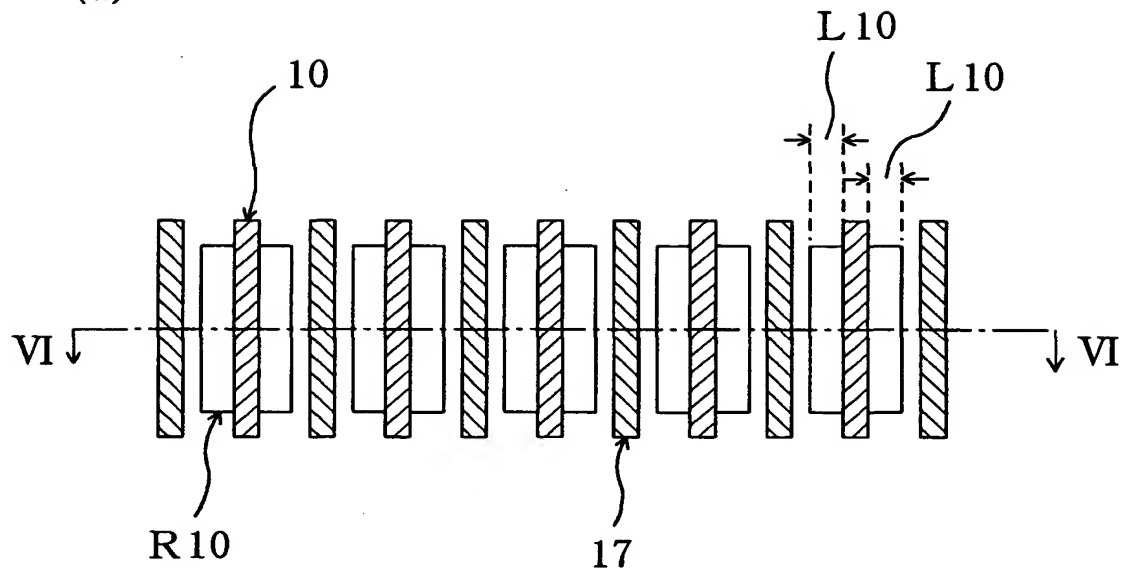


【図 5】

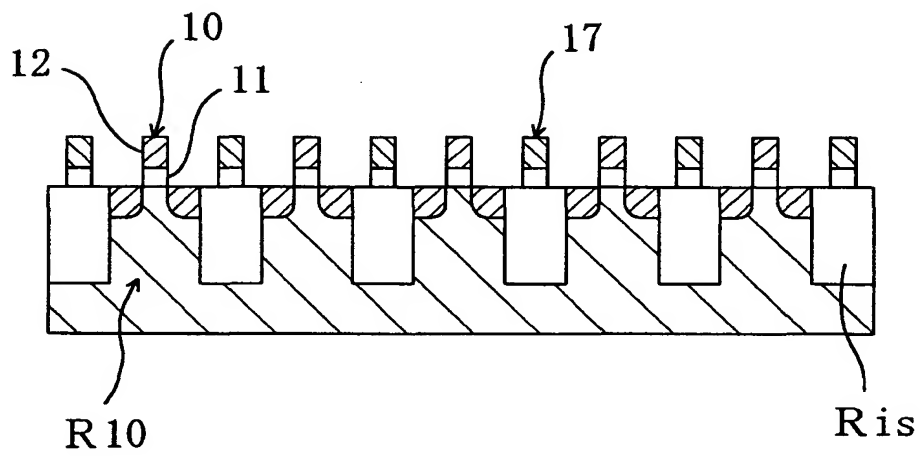


【図 6】

(a)

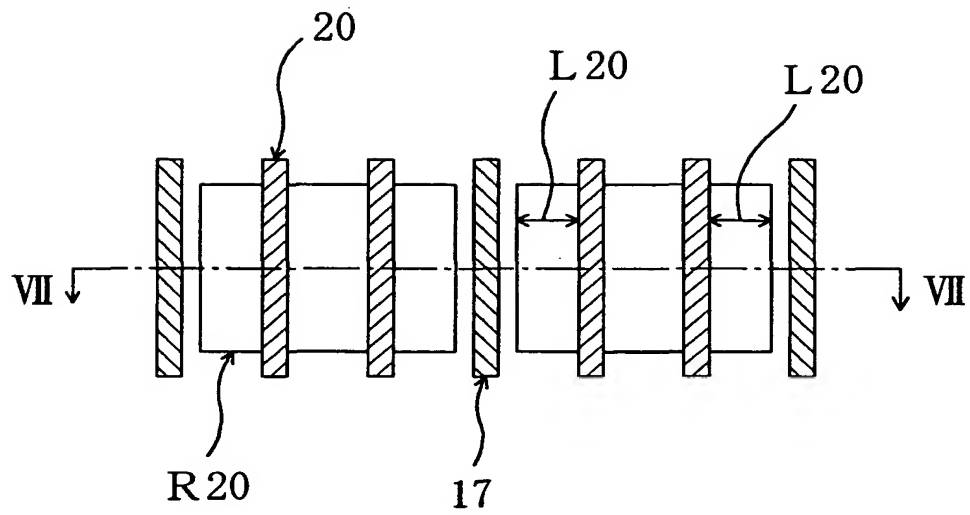


(b)

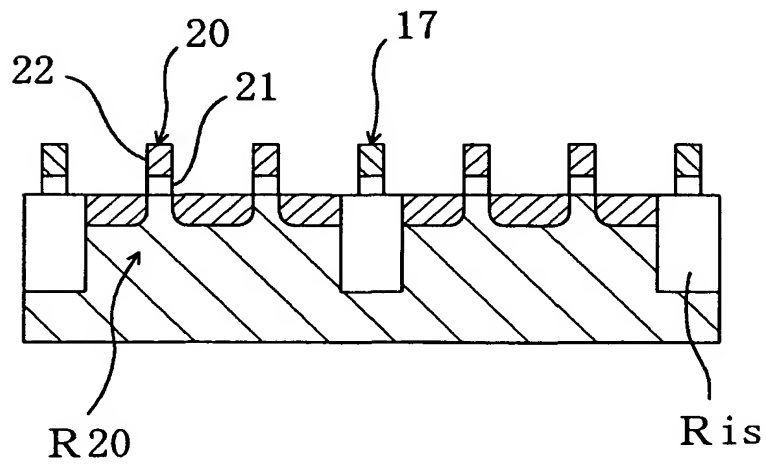


【図 7】

(a)

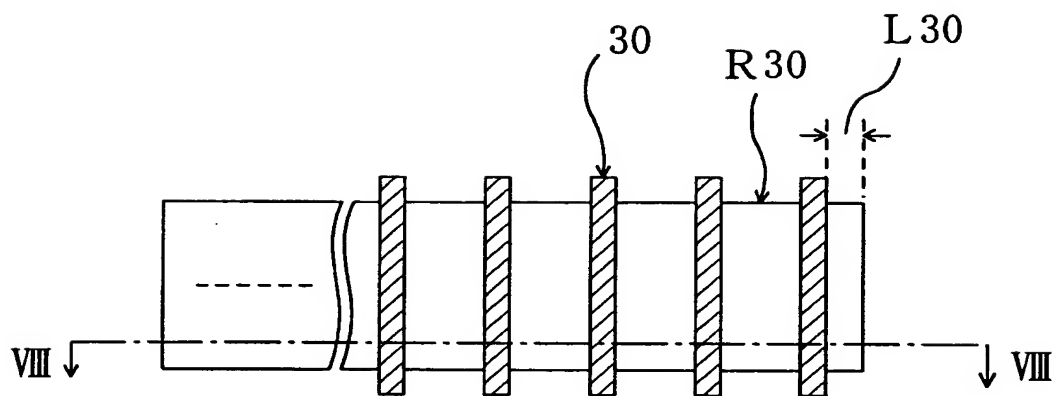


(b)

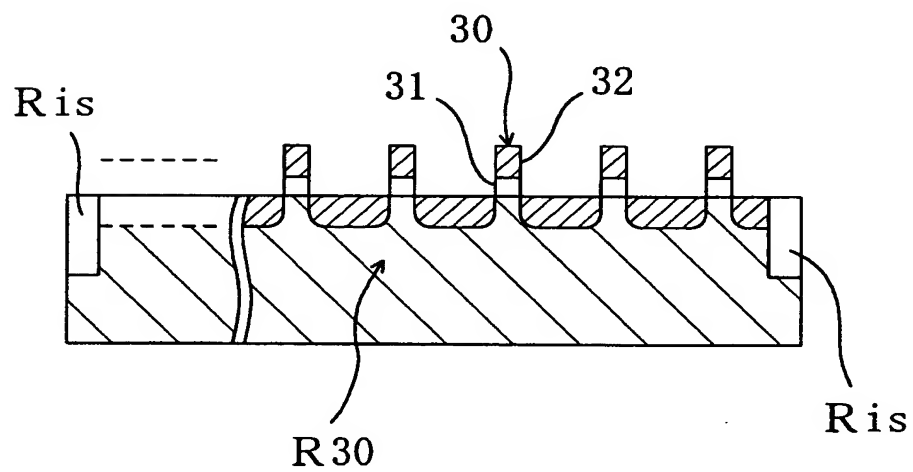


【図 8】

(a)



(b)

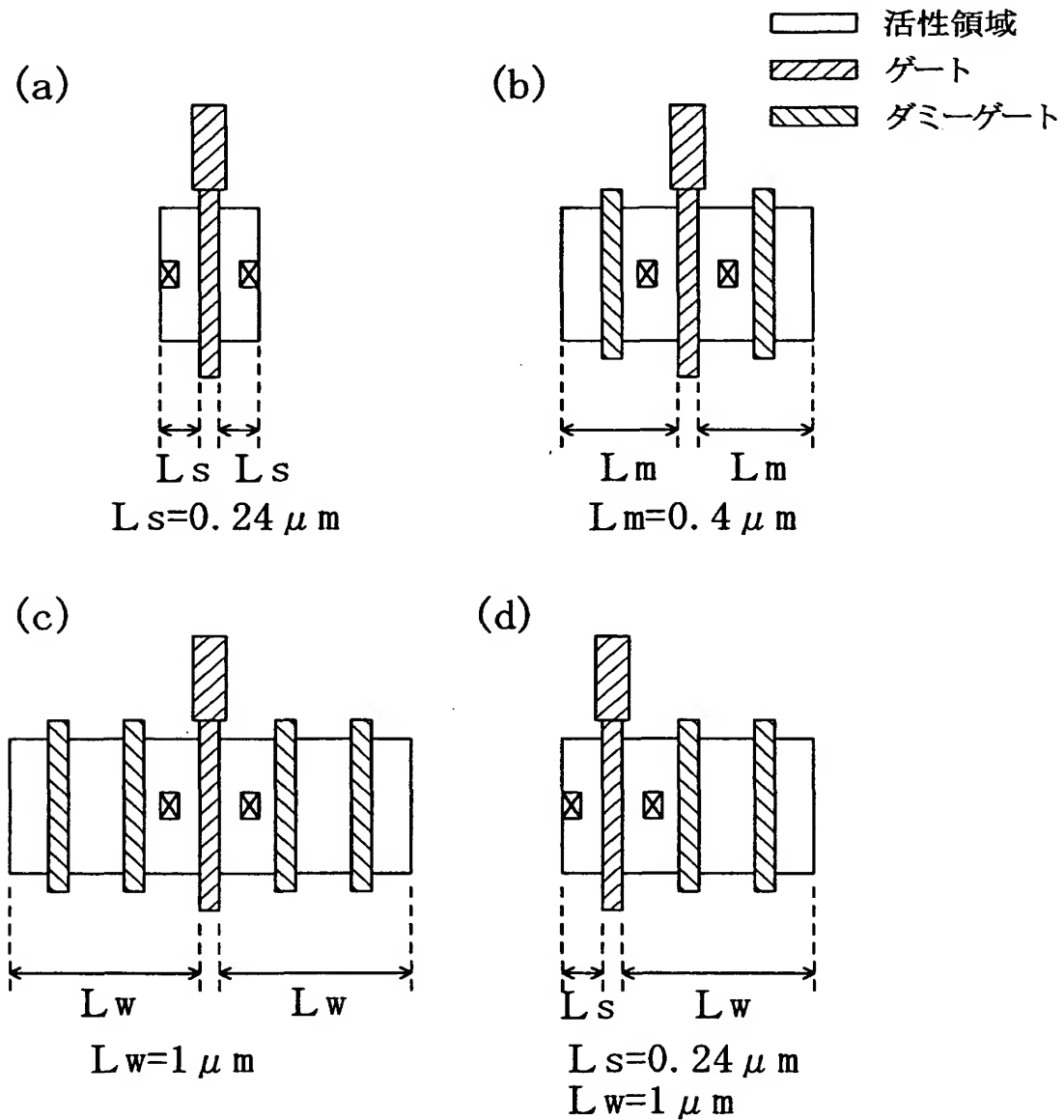


【図 9】

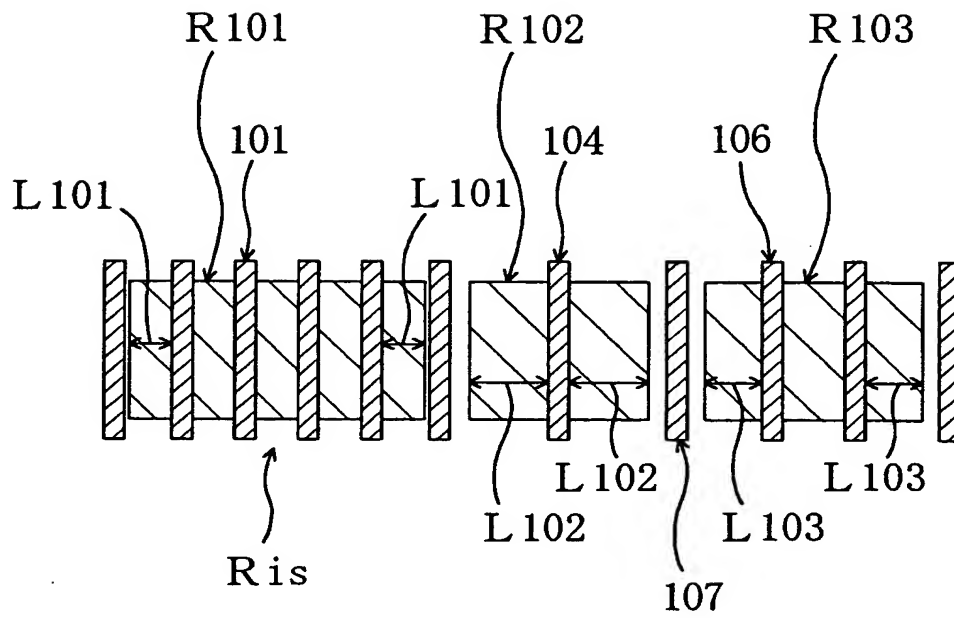
$L_g = 0.15 \mu m$ $W_g = 0.4 \mu m$

		形状			
		(a)	(b)	(c)	(d)
PMISFET	I_{dsat} 比	1.00	0.95	0.94	0.94
NMISFET	I_{dsat} 比	1.00	1.11	1.10	1.03

【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 活性領域におけるトレンチ分離からのストレスによるM I S F E Tの性能への悪影響を解消する。

【解決手段】 高い電流能力を必要とするP M I S F E Tのゲートは、不連続型活性領域R10p に配置された高駆動力型ゲート10phか、2入力型活性領域R20p に配置された高駆動力型ゲート20phである。それほど高い電流能力を必要としないP M I S F E Tのゲートは、連続型活性領域R30p に配置された通常型ゲート30puである。不連続活性領域R10p 又は2入力型活性領域R20p に、高駆動力型ゲート10ph又は20phが配置されているので、格子歪みによって生じたライトホールを利用して高駆動型Pチャネル型M I S F E Tが得られる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社